



PAJ 1994 to  
today





Your search statement: Words anywhere: "@PN='11025696'"  
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 11025696 A (43) Date of publication: 19990129

(51) int. Cl : G11C029-00    
(ICS) G01R031-28  
G11C011-401  
H01L021-66

(71) Applicant:  
NEC CORP

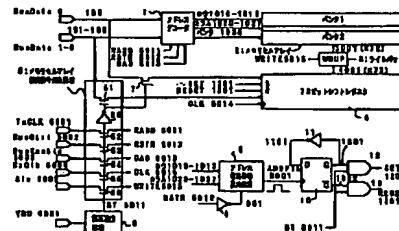
(72) Inventor:  
HARAGUCHI YOSHINORI

(21) Application Information:  
19970627 JP 09-187807

# BIAS TESTING CIRCUIT FOR RAMBUS DRAM

(57) Abstract:

PROBLEM TO BE SOLVED: To simplify the bias test of Rambus DRAM(dynamic random access memory) in the same degree as versatile DRAM and provide a test circuit which allows the use of the bias test circuit in common.  
SOLUTION: A N-ch transfer gate 7 is added between a Bus Data 0 100 and a shift register 4, which is provided with a SET/RESET function: a final address detecting circuit 8 which detects the final addresses of row addresses 1010-1018 and the column addresses 1020-1027, inverter gates 9, 11, a D-type flip-flop 10, and AND gates 12, 13 are added. By this, a bias test is performed with the same timing as usual DRAM and the operation efficiency of production equipment is improved.



CD-Volume: MIJP9901PAJ JP 11025696 A Copyright: JPO 19990129  
001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A).

(11)特許出願公開番号

特開平11-25696

(43)公開日 平成11年(1999)1月29日

(51) Int Cl.

**識別記号**

FI

**G I I C 29/00**

671

**G 1 1 C 29/00**

**6 7 1 F**

G O I R 31/28

**H O 1 L 21/66**

W

G 1 1 C 11/401

G O I R 31/28

B

H O 1 L 21/66

**G11C 11/34**

**3.7 1 A**

審査請求 有 請求項の数3 FD (全 8 頁)

(21)出願番号

特願平9-187807

(22)出題目

平成9年(1997)6月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 原口 嘉典

東京都港区芝五丁目7番1号 日本電気株式会社内

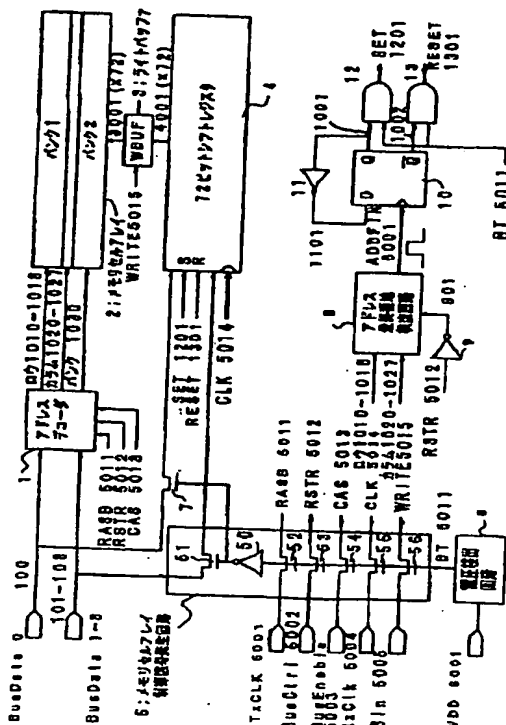
(74)代理人 弁理士 加藤 朝道

(54) 【発明の名称】 Rambus DRAM用バイアステスト回路

(57) 【要約】

【課題】 Rambus DRAMのバイアステストを、汎用DRAMと同程度に簡略化し、バイアステスト装置を共有化することを可能とするテスト回路の提供。

【解決手段】BusData0(100)とシフトレジスタ(4)の間に、Nchトランスファゲート(7)を追加し、シフトレジスタ(4)にSET/RESET機能を追加し、ロウアドレス(1010-1018)とコラムアドレス(1020-1027)の最終番地を検出するアドレス最終番地検出回路(8)、インバータゲート(9)、(11)、D型フリップフロップ(10)、ANDゲート(12)、(13)を追加し、通常のDRAMと同様なタイミングでバイアステストを実行でき、生産設備の稼働効率の向上が図られる。



## 【特許請求の範囲】

【請求項1】 Rambus DRAMに搭載されるバイアステスト用のテスト回路であって、

電源端子のスーパーボルテージにてバイアステストモードにエンタリーし、該バイアステストモードにて内部メモリセルアレイ制御信号および内部シフトレジスタ用クロック信号を発生し、シフトレジスタにデータをセットし、

前記内部メモリセルアレイ制御信号により、ロウアドレス、カラムアドレス制御およびメモリセルアレイヘデータを転送する手段を備えてなるテスト回路であって、ロウアドレス、カラムアドレスの最終番地を検出した際に検出信号を発生する手段と、

前記検出信号により前記シフトレジスタをセット/リセットする手段と、

前記内部メモリセルアレイ制御信号により、前記シフトレジスタからメモリセルアレイにセルデータとしてHデータ/Lデータを交互に転送する手段と、

を有することを特徴とするバイアステスト用のテスト回路。

【請求項2】 Rambus DRAMに搭載されるバイアステスト用のテスト回路であって、

電源端子のスーパーボルテージにてバイアステストモードにエンタリーし、該バイアステストモードにて内部メモリセルアレイ制御信号および内部シフトレジスタ用クロック信号を発生し、シフトレジスタにデータをセットし、前記内部メモリセルアレイ制御信号により、ロウアドレス、カラムアドレス制御およびメモリセルアレイヘデータを転送する手段を備えてなるテスト回路において、

前記シフトレジスタがセット/リセット機能を備え、バイアステストモード時に外部端子からのバスデータ入力を前記シフトレジスタから切り離す手段と、ロウアドレス、カラムアドレスの最終番地を検出した際に検出信号を発生し、該検出信号の出力により前記シフトレジスタを交互にセット/リセットする信号を供給する手段と、を備え、

バイアステストモード時に、前記内部メモリセルアレイ制御信号により、全ロウアドレス及び全カラムアドレスをアクセスして前記シフトレジスタからメモリセルアレイに一の論理データを書き込んだ後に、逆の論理データを書き込む、ことを特徴とする、Rambus DRAM用バイアステスト回路。

【請求項3】 前記ロウアドレスの偶奇に応じて、前記シフトレジスタをセット及びリセットする信号についてアクティブとする信号の切換を行う手段を備えたことを特徴とする、請求項2記載のRambus DRAM用バイアステスト回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はバイアステスト用のテスト回路に関し、特にRambus DRAMに用いて好適とされるバイアステスト用テスト回路に関する。【0002】

【従来の技術】 まず始めに、従来のRambus DRAM (Rambus Channelインタフェース技術に準拠したダイナミックランダムアクセスメモリ) に搭載されるバイアステスト (以下「BT」とも略記する) 用テスト回路の構成および動作について説明する。【0003】

簡単のため、18Mビット (2M×9)、2バンク構成のRambus DRAMを例として説明する。図5は、従来のバイアステスト用テスト回路の構成を示す図である。図5を参照すると、BusData 0-8を入力とするアドレスデコーダ1と、バンク1、バンク2からなるメモリセルアレイ2と、ライトバッファ3と、シフトレジスタ4と、外部からクロックTxCLK、RxCLK及び制御信号BusCtrl、BusEnable、Sinを入力し内部クロックCLK及び内部メモリセルアレイ制御信号RASB、CAS、WRITE、RSTRを出力するメモリセルアレイ制御信号発生回路5と、電圧検出回路 (「スーパーボルテージ回路」ともいう) 6と、を備えて構成されている。【0004】

電圧検出回路6は、電源端子VDDが特定の電圧 (3.3V動作製品では5V程度) 以上になった時に、出力信号BT6011をHレベルにする。【0005】

メモリセルアレイ制御信号発生回路5は、電圧検出回路6の出力信号BT6011を入力し、信号BT6011がHレベルになった時 (このモードをバイアステストモード、略して「BTモード」という)、TxCLK5001、BusCtrl5002、BusEnable5003、RxCLK5004、Sin5005を、Nchトランジスタ52-56をONすることで、それぞれメモリセルアレイ制御信号RASB5011、RSTR5012、CAS5013、CLK5014、WRITE5015に接続し、インバータゲート50の入力がH (High) レベルとなり、Nchトランジスタ51のゲート端子がL (Low) レベルとなるため、外部端子バスデータBusData 1-8 (101-108) からの入力をカットする (シフトレジスタ4への入力をカットする)。【0006】

アドレスデコーダ1は、BusData 0-8 (100-108) からメモリセルアレイ2のロウアドレス1010-1018、カラムアドレス1020-1027、バンクアドレス1030をメモリセルアレイ制御信号RASB5011、RSTR5012、CAS5013のタイミングで発生する。【0007】

シフトレジスタ4 (図では、72ビット=91/0分×8ビット) は、バイアステストモード時、外部信号BusData 0 (100) のデータを、内部クロック信号CLK5014の立ち上がりエッジ及び立

ち下がりエッジに同期してデータを、順次シフトする。

【0008】ライトバッファ3は、内部ライト制御信号WRITE5015がHレベルの時にシフトレジスタ出力4001を2バンク構成の各バンクのメモリセルアレイ2に、出力3001として転送する。

【0009】次に、図5に示した回路の動作について説明する。図6に、図5に示した各信号のタイミングチャートを示す。

【0010】以下では、簡単のため、VDD6001をスーパーボルテージ、BT6011がHレベル（BTモード時）固定と想定する。

【0011】BTモード時のタイミングチャートは、基本的に、

1. シフトレジスタ4の全ビットをLデータにセットするシフトレジスタLライトセットサイクル(TM1)、  
2. データLにセットされたシフトレジスタ4のデータをメモリセルアレイ2に転送するメモリセルLテストサイクル(TM2)、

3. シフトレジスタ4の全ビットをHデータにセットするシフトレジスタHライトセットサイクル(TM3)、  
4. データHにセットされたシフトレジスタ4のデータをメモリセルアレイ2に転送するメモリセルHライトサイクル(TM4)、の4サイクルから構成されている。

【0012】次に各サイクルの動作について詳細を説明する。

【0013】シフトレジスタLライトセットサイクルでは、RASB5011、RSTR5012=H、CAS5013=Lの時、CLK5014の立ち下がりおよび立ち上がりで、BusData0(100)のデータを順次シリアルに、シフトレジスタ4に格納される。図5の72ビットのシフトレジスタ4の場合、36サイクルで全ビット格納される。

【0014】また、BusData1-8(101-108)からの入力BTモード時は、Nchtランスファゲート51がOFFするので、シフトレジスタ4へ入力されない。

【0015】メモリセルLライトサイクルでは、RSTR5012=Hの時、アドレスデコーダ1が、BusData0-8(100-108)から、RASB5011のLエッジで、ロウアドレス1010-1018、バンクアドレス1030をラッチし、CASのHエッジで、カラムアドレス1020-1027をラッチする。

【0016】RSTR5012=H、RASB5011=L期間中、メモリセルアレイ2のアドレスデコーダ1によって指定されたバンクの、ロウアドレスのワード線の電位が上がり、CAS5013のH期間で、アドレスデコーダ1によって指定されたカラムアドレスのメモリセルをデータアクセスする。通常のDRAMの動作と同様である。

【0017】また、ロウアドレスの最下位ビット101

0に割り当てられているとすると、BusData0の入力は、L、Hを繰り返す。

【0018】前述のようなメモリセルアクセス時に、ライト制御信号WRITE5015がLレベルの時は、メモリセルのリード動作となるが、BT時には、通常WRITE動作をさせるので、WRITE5015をHレベルとし、ライトバッファ3を介して、シフトレジスタ4に格納されたデータ4001を、ライトバッファ出力3001として、メモリセルに書き込む。

【0019】シフトレジスタHライトセットサイクルは、シフトレジスタLライトセットサイクルに対し、BusData0=Hとした場合の動作であり、メモリセルHライトサイクルは、メモリセルLライトサイクルと同様の動作である。詳細は省略する。

【0020】

【発明が解決しようとする課題】上記したように、従来のRambus DRAMのBT用テスト回路では、通常のDRAMと同様なメモリセルをアクセスするサイクルの他に、シフトレジスタに予めデータをシリアルに格納するサイクルが必要とされ、このような場合、通常のDRAM用に仕様限定されたBT装置では、タイミング制限により、シフトレジスタにデータを格納するサイクルを導入できないものもあり、既存設備の割り振りができないため、Rambus DRAMを生産する上で、障害となるという問題があった。

【0021】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、Rambus DRAMのバイアステストを、汎用DRAMと同程度に簡略化し、バイアステスト装置を共有化するバイアステスト用のテスト回路を提供することにある。

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明のバイアステスト用テスト回路は、ロウアドレス、カラムアドレスの最終番地を検出しパルス信号を発生する手段と、および該パルス信号にてシフトレジスタをリセット／リセットする手段と、内部メモリセルアレイ制御信号により、メモリセルアレイにデータH/Lを交互にシフトレジスタから転送する手段と、を備えている。

【0023】

【発明の実施の形態】本発明の実施の形態について説明する。本発明の好ましい実施の形態において電源端子のスーパーボルテージにてバイアステストモードにエントリーし、該バイアステストモードにて内部メモリセルアレイ制御信号および内部シフトレジスタ用クロック信号を発生し、シフトレジスタ(図1の4)にデータをセットし、内部メモリセルアレイ制御信号により、ロウアドレス、カラムアドレス制御およびメモリセルアレイへデータを転送するテスト回路において、シフトレジスタ(図1の4)がセット／リセット機能を備え、バイアス

テストモード時にバスデータ入力を前記シフトレジスタから切り離す手段(図1の7、51)と、ロウアドレス、カラムアドレスの最終番地を検出した際に検出信号を発生する手段(図1の8)と、該検出信号の出力により前記シフトレジスタを交互にセット/リセットする信号を供給する手段(図1のD型フリップフロップ10、インバータ11、ANDゲート12、13)とを備えている。そして、バイアステストモード時に、シフトレジスタ4をリセットし、内部メモリセルアレイ制御信号により、全ロウアドレス及び全カラムアドレスをアクセスしてシフトレジスタからライトバッファ(図1の3)を介してメモリセルアレイにLデータを書き込んだ後に、シフトレジスタ(図1の4)をセットし、メモリセルアレイにHデータを書き込む(図3参照)。

【0024】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例を図面を参照して以下に説明する。

【0025】【実施例1】図1は、本発明の一実施例の構成を示す図である。図1において、図5と同一の機能の要素には同一の参照符号が付されている。図1を参照すると、本発明の一実施例は、図5に示した構成に、BusData0(100)とシフトレジスタ4の間に、Nchトランスファゲート7を追加し、シフトレジスタ4にSET/RESET機能を追加し、ロウアドレス1010-1018とカラムアドレス1020-1027の最終番地を検出するアドレス最終番地検出回路8と、インバータゲート9、11、D型フリップフロップ10、ANDゲート12、13を追加した構成となっている。

【0026】次に、本発明の一実施例の動作について説明する。図3は、本発明の一実施例の動作タイミングチャートである。

【0027】BTモード時では、信号BT6011がHレベルであるので、Nchトランスファゲート7がOFFし、BusData0(100)からのシフトレジスタ4への入力のカットされる。一方、D型フリップフロップ10の互いに相補の出力(Q、Q<sup>-</sup>)1001、1002がそれぞれANDゲート12、13を介し、相補のSET1201、RESET1301として出力される。ANDゲート12には、D型フリップフロップ10の出力Q1001とBT6011、ANDゲート13には、D型フリップフロップ10の反転出力Q<sup>-</sup>1002とBT6011が入力されている。

【0028】このように、BTモードエントリー時、D型フリップフロップ出力Q1001がLレベル、出力Q<sup>-</sup>1002がHレベル、すなわちSET1201がLレベル、RESET1301がHレベルになるものとする。シフトレジスタ4の出力4001は全ビットLレベルに設定される。

【0029】この時、ライト制御信号WRITE5015がHレベルとすると、シフトレジスタ4の出力4001はライトバッファ3を介して、メモリセルアレイ2にLデータが書き込まれる。これを全ロウアドレス1010-1018、全カラムアドレス1020-1027についてアクセスすることで、全アドレスにLデータを書き込むことができる。この動作が、図2におけるメモリセルライトサイクルに相当する。

【0030】メモリセルライトサイクルをロウアドレス、カラムアドレスともに最終番地まで実行すると、ロウアドレス1010-1018、カラムアドレス1020-1027を入力とするアドレス最終番地検出回路8は、RSTR5012のL期間中、アドレス最終番地検出信号ADDFIN8001としてHパルスを出力する。

【0031】BTモードエントリー時に、D型フリップフロップ出力1001がLレベルとすると、D型フリップフロップのD入力1101がインバータゲート11によりHレベルになっているので、ここでADDFIN8001のHパルスが入力されると、D型フリップフロップ10の出力1001、1002が互いにHレベル、Lレベルに反転し、すなわちSET1201、RESET11がHレベル、Lレベルに反転する。

【0032】これにより、シフトレジスタ4が全ビットHレベルに設定される。これを全ロウアドレス、全カラムアドレス分アクセスすることで、メモリセルアレイ2にHデータを書き込むことができる。これが図2におけるメモリセルHライトサイクルに相当する。

【0033】【実施例2】図2は、本発明の第2の実施例の構成を示す図である。なお、図2は、図1に示した前記第1の実施例との相違点のみを抜粋して示したものである。

【0034】本発明の第2の実施例は、前記第1の実施例と相違してし、D型フリップフロップ10とANDゲート12の間にEXOR(排他的論理和)ゲート14を挿入し、D型フリップフロップ10の出力1001とロウアドレスの最下位ビット1010を入力として接続し、EXORゲート出力1401をインバータ15によって反転信号を発生させ、ANDゲート13の入力として接続した構成となっている。

【0035】図4は、本発明の第2の実施例の動作を説明するためのタイミングチャートである。

【0036】D型フリップフロップ出力1001がBTモードエントリー時、Lレベルと仮定した場合、ロウアドレスの最下位ビット1010がLレベル(Hレベル)の時、SET1201がLレベル(Hレベル)、RESET1301がHレベル(Lレベル)となる。すなわち、ロウアドレスが偶数の時は、SET1201がLレベル、RESET1301がHレベル、奇数の時はその逆となるので、例えば、ロウの偶数アドレスのワード

に、物理的にTRUEセル、奇数アドレスのワードに物理的にNOTセルが配置されている場合、メモリセルに対し、全ビット物理Hデータライトすることができる。

【0037】さらに、ロウカラムアドレスが最終番地に達した時には、D型フリップフロップ出力1001がLレベルからHレベルに変化するので、EXORゲート出力1401はロウアドレスの最下位ビット1010がLレベル（Hレベル）の時、SET1201がHレベル（Lレベル）、RESET1301がLレベル（Hレベル）となる。すなわち、ロウアドレスが偶数の時は、SET1201がHレベル、RESET1301がLレベル、奇数の時はその逆となるので、メモリセルに全ビット物理Hデータライトすることができる。

【0038】このような構成としたことにより、本実施例においては、メモリセルに対して物理的ストレスを効率的に与えることができ、BT時間を短縮することができる。

【0039】

【発明の効果】以上説明したように、本発明によれば、通常のDRAMと同様なタイミングでRambus DRAMのBTを実行でき、生産設備の稼働効率の向上を図ることができるという効果を奏する。

【0040】その理由は、本発明においては、Rambus DRAMに搭載されるBT用テスト回路において、BusData0とシフトレジスタの間に、Nchトランスファゲートを追加し、シフトレジスタにSET/RESET機能を追加し、ロウアドレスとカラムアドレスの最終番地を検出するアドレス最終番地検出回路、インバータゲート、D型フリップフロップ、ANDゲートを追加したことによる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第2の実施例の構成を示す図である。

【図3】本発明の第1の実施例の動作を説明するためのタイミングチャートである。

【図4】本発明の第1の実施例の動作を説明するためのタイミングチャートである。

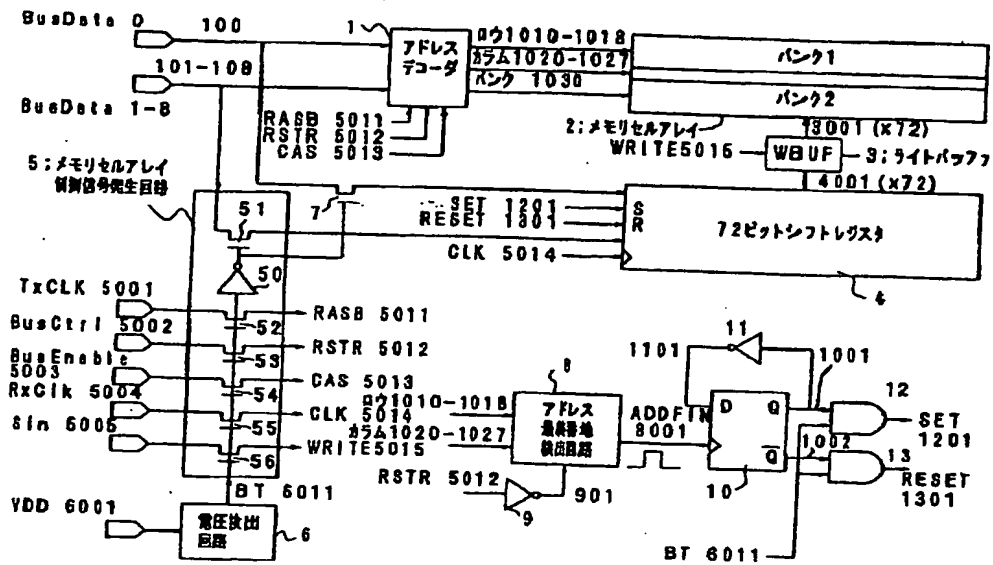
【図5】従来技術の構成を示す図である。

【図6】従来技術の動作を説明するためのタイミングチャートである。

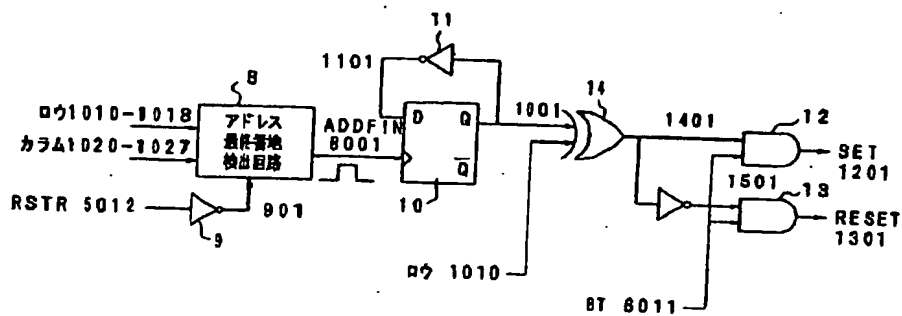
【符号の説明】

- 1 アドレスデコーダ
- 2 メモリセルアレイ
- 3 ライトバッファ
- 4 シフトレジスタ
- 5 メモリセルアレイ制御信号発生回路
- 6 電圧検出回路
- 7、51～56 Nchトランスファゲート
- 8 アドレス最終番地検出回路
- 9、11、15、50 インバータゲート
- 10 D型フリップフロップ回路
- 12、13 ANDゲート
- 14 EXORゲート
- 100～108 外部入力BusData0～8
- 901、1101、1501 インバータ出力
- 1001、1002 D型フリップフロップ出力
- 1010～1018 ロウアドレスデコード信号
- 1020～1027 カラムアドレスデコード信号
- 1030 バンクアドレスデコード信号
- 1201、1301 ANDゲート出力（SET、RESET信号）
- 1401 EXORゲート
- 3001 ライトバッファ出力
- 4001 シフトレジスタ出力
- 5001 外部入力TxCLK
- 5002 外部入力BusCtrl
- 5003 外部入力BusEnable
- 5004 外部入力RxCLK
- 5005 外部入力Sin
- 5011～5015 メモリセルアレイ制御信号
- 6001 外部電源端子
- 6011 電圧検出回路出力
- 8001 アドレス最終番地検出回路出力

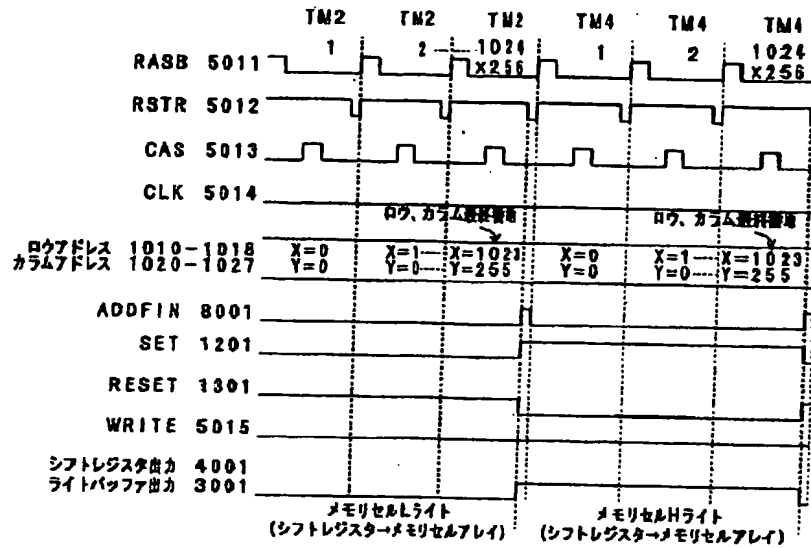
【图 1】



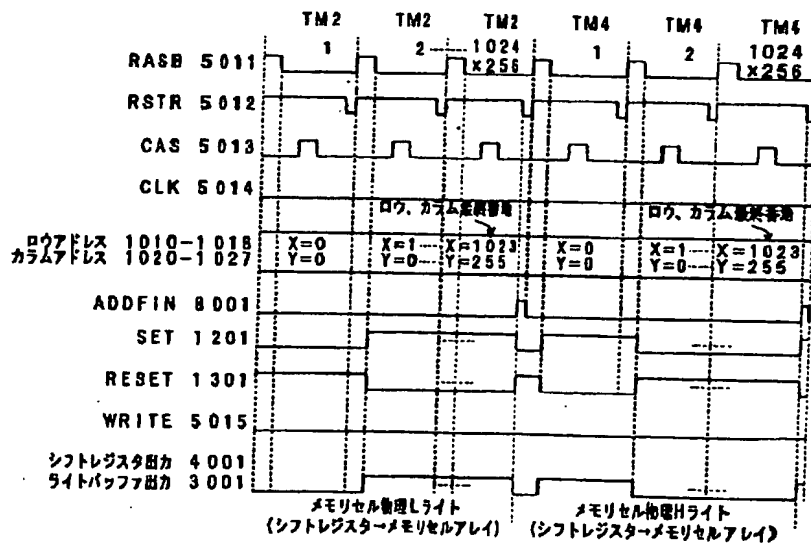
【図2】



【図3】

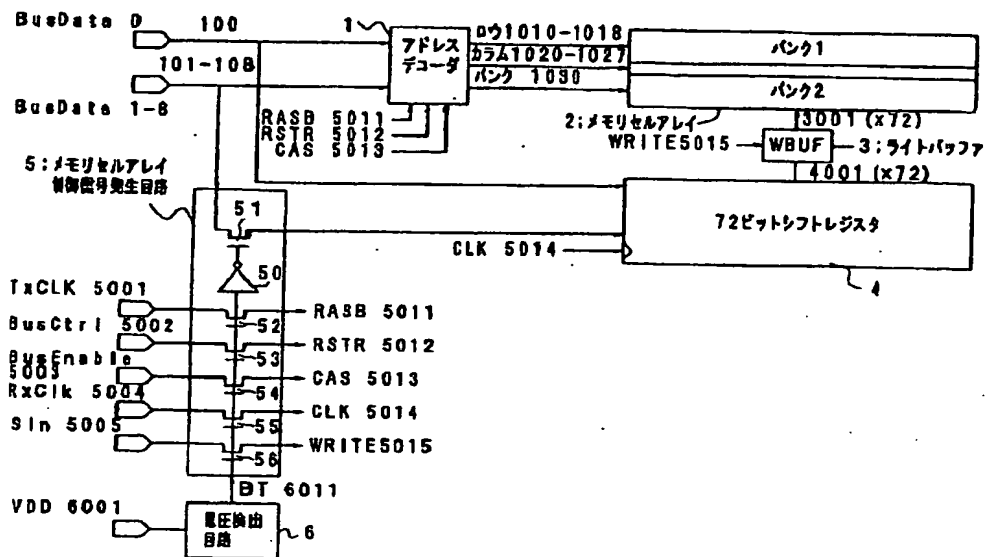


【図4】





【図5】



【図6】

